

(19)日本国特許庁 (JP)

(12) 特許公報 (B2)

(11)特許番号

特許第3152000号  
(P3152000)

(45)発行日 平成13年4月3日 (2001.4.3)

(24)登録日 平成13年1月26日 (2001.1.26)

(51)Int.Cl.<sup>7</sup>  
H 03 K 17/08

識別記号

F I  
H 03 K 17/08

C

請求項の数1(全6頁)

(21)出願番号 特願平5-67239  
(22)出願日 平成5年3月26日 (1993.3.26)  
(65)公開番号 特開平6-283986  
(43)公開日 平成6年10月7日 (1994.10.7)  
審査請求日 平成11年2月18日 (1999.2.18)

(73)特許権者 000003207  
トヨタ自動車株式会社  
愛知県豊田市トヨタ町1番地  
(72)発明者 青木 宏文  
愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内  
(74)代理人 100075258  
弁理士 吉田 研二 (外2名)  
審査官 宮島 郁美  
(56)参考文献 特開 平3-60319 (JP, A)  
特開 平3-60214 (JP, A)  
特開 平1-227520 (JP, A)  
特開 平6-104711 (JP, A)  
特開 平6-244693 (JP, A)  
特開 平5-167407 (JP, A)

最終頁に続く

(54)【発明の名称】 パワートランジスタ保護回路

1

(57)【特許請求の範囲】  
【請求項1】パワートランジスタと、  
パワートランジスタの導通状態を切り換える切換え手段  
と、  
パワートランジスタの駆動電流に比べて十分小さい電流  
を常時負荷へ供給する供給手段と、  
2種類の基準電圧を切換えて発生する基準電圧発生手段  
と、  
負荷の端子電圧と前記基準電圧とを比較する比較手段  
と、  
比較手段の比較結果と入力信号とに基づいて前記切換え  
手段及び基準電圧発生手段を同時に切換える制御手段  
と、  
を備えることを特徴とするパワートランジスタ保護回  
路。

2

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、非定常状態における半導体素子を保護するパワートランジスタ保護回路に関するものである。

【0002】

【従来の技術】半導体素子は、非定常状態すなわち定格以上の過電流や過温度に弱く、容易に特性劣化をきたすため、半導体素子の特性劣化防止のために保護回路を必要とする。

【0003】図4は、特開平3-60214号公報に開示されている半導体素子の保護回路を示すブロック図である。以下、車両のヘッドライト用半導体スイッチの保護回路に適用された場合を例にとり説明する。

【0004】電源Vcc側端子12と負荷2間には、半導

10

体スイッチとなるパワーMOSFET 1と、このパワーMOSFET 1に対して並列にカレントミラーMOSFET 3及びシャント抵抗4が接続されている。

【0005】ここで、パワーMOSFET 1はN型半導体にドレインDとソースSとが設けられたNチャネルFETであり、ソースS側に負荷2を持つソースフォロワ型（ハイサイドスイッチ型）になっているため、ゲートGの電圧を電源電圧Vcc（ドレインDの電圧）より高くすると半導体スイッチとしてOFFするように構成されている。なお、カレントミラーMOSFET 3は、パワーMOSFET 1の1/1000～1/10000の負荷抵抗を有するFETであり、カレントミラーMOSFET 1に流れる電流はシャント抵抗4の両端A、Bより検知されている。

【0006】一方、5はシャント抵抗4の両端電圧を増幅する過電流検出回路であり、この過電流検出回路5の出力は駆動回路6に送られている。そして、駆動回路6では、過電流検出回路5の出力レベルに基づいた所定時間のみパルス幅変調された信号によってパワーMOSFET 1及びカレントミラーMOSFET 3のゲート電圧を昇圧して負荷2への通電時間を制御している。なお、12、13、14、15は端子である。

【0007】次に動作について説明する。

【0008】ところで、車両用ヘッドライトの場合、定格より過大な電流が半導体スイッチに流れた場合でも、半導体スイッチの保護が優先されて、直ちにヘッドライトがOFFされてしまうと運転者の運転操作が害される。また、半導体スイッチの場合、定格の数倍の瞬間的な電流には絶える構造になっている。

【0009】そこで、半導体スイッチとして、定格領域の電流が流れている場合は常時スイッチをON状態とし、所定の過電流領域であって半導体スイッチの動作時間を間引くことによって半導体スイッチを保護できる範囲ではPWM制御を行い、更に大きな電流が流れてPWM制御によっても半導体スイッチを保護できない場合はスイッチを完全にOFF状態とし、完全ON状態から完全OFF状態へPWM制御を介してリニアに移行することにより、過電流が流れた場合でも徐々にヘッドライトの照度を減衰させる。

【0010】

【発明が解決しようとする課題】従来の半導体素子の保護回路は、以上のように構成されており、過電流の検出は、パワーMOSFETをONさせて実際に負荷2に出力電流を流さないとできないので、出力OFF時に負荷の異常（ショート）が発見できず、出力を一度はONするため、保護機能の作動が遅れるという問題点があり、更に出力ON時に負荷が異常となり、過電流を検出して保護のため出力を完全にOFFしてしまうと、自己復帰できない。もしくは自己復帰のための確認は、出力をONして負荷に通電しなければならず、仮に負荷が異常な

ままだとすると、破壊等に至る虞がある。

【0011】本発明は、上記した問題点を解決するためになされたものであり、出力OFF時に負荷の異常（ショート）を発見して、保護機能を有効に働かせ、自己復帰を行え、かつ半導体素子の破壊を未然に防止するパワートランジスタの保護回路を提供することを目的としている。

【0012】

【課題を解決するための手段】本発明は、上述事情に鑑みなされたもので、本発明に係るパワートランジスタの保護回路は、パワートランジスタと、パワートランジスタの導通状態を切り換える切換手段と、パワートランジスタの駆動電流に比べて十分小さい電流を常時負荷へ供給する供給手段と、2種類の基準電圧を切換えて発生する基準電圧発生手段と、負荷の端子電圧と前記基準電圧とを比較する比較手段と、比較手段の比較結果と入力信号とに基づいて前記切換手段及び基準電圧発生手段を同時に切換える制御手段とを備えることを特徴とするものである。

【0013】

【作用】上述構成に基づき、本発明におけるパワートランジスタの保護回路は、負荷がショートして端子電圧が低下すると、比較手段は、負荷の端子電圧と基準電圧とを比較し、比較手段の比較結果と入力信号とに基づいて制御手段は切換手段及び基準電圧発生手段を切換え、パワートランジスタをOFFする。この際、負荷へ供給手段によりパワートランジスタの駆動電流に比べて十分小さい微小電流を供給し、負荷の端子電圧を切り換えられた基準電圧との比較により負荷へのショート状態からの復帰を常時モニタできる。これにより、半導体素子の破壊を未然に防止する。

【0014】

【実施例】以下、この発明の一実施例を図を用いて説明する。

【0015】図1は、本発明に係るパワートランジスタの保護回路を示す回路図である。

【0016】パワートランジスタの保護回路は、電源7のプラス側端子12と端子13間に並列に接続された検出用MOSトランジスタ8及びパワーMOSトランジスタ9を有しており、端子13と接地端子14との間には負荷2が接続されている。そして、パワーMOSトランジスタ9のゲートには、パワーMOSトランジスタ9の駆動状態を切り換える切換手段11のON側接点が接続されており、切換手段11及び検出用MOSトランジスタ8のゲートは、駆動回路6に接続されている。更に、接地端子14には、並列に2種類の基準電圧を切換えて発生する基準電圧発生手段11が接続されており、基準電圧発生手段11は、2種類の基準電源16、17及び切換スイッチ18により構成されている。

【0017】そして、切換スイッチ18は、負荷の端

子電圧と前記基準電圧とを比較する比較回路19のマイナス入力に接続されており、比較回路19のプラス入力は検出用MOSトランジスタ8のソース及びパワーMOSトランジスタ9のソースに接続されている。更に、比較回路19の出力側には、端子15から入力される信号と比較回路19の出力との論理積をとるAND回路20が接続されており、AND回路20には、比較回路19の比較結果と入力信号に基づいて切換え手段10及び基準電圧発生手段11の切換えスイッチ18を切換える制御回路21が接続されている。なお、比較回路19とAND回路20との間には、比較回路19の結果を他の制御等に用いる場合に使用したり負荷異常を外部に出力するのに用いられる診断回路22が接続されている。

【0018】また、検出用MOSトランジスタ8は、パワーMOSトランジスタ9と同一形状であり、面積比を $1/n$ としたものであり、切換え手段10がOFF状態の場合、パワーMOSトランジスタ9の駆動電流に比べて十分小さい電流を負荷2へ供給する供給手段を構成している。

【0019】次に、本実施例の作用について説明する。

【0020】入力信号のON/OFFに対応して、制御回路21は、図2に示すように、制御信号を出力し、切換え手段10及び切換えスイッチ18を切換える。例えば、入力信号OFF時は、制御回路21からの制御信号により切換え手段10はOFF状態となり、駆動回路6にて検出用MOSトランジスタ8のみをONさせる。この際、検出用MOSトランジスタ8とパワーMOSトランジスタ9との面積比が1:99とすると、負荷2に $I_1$ (A)の電流が流れる。そして、負荷2の抵抗値を $R_1$ (Ω)とすると、端子13、14間に $I_1 R_1$ (V)の電圧( $V_{13-14}$ )が発生する。

【0021】また、制御回路21からの信号により切換えスイッチ18は、基準電圧16の電圧値が負荷ショートと判断するための基準となるため、95% $I_1 R_1$ (V)とすると、以下の関係が成立する。

【0022】 $V_{13-14} < 95\% I_1 R_1$ で比較回路19が反転、すなわち負荷2がショートと判断する。なお、95% $I_1 R_1$ (V)を基準電圧16の電圧として設定したが、これはシステム上ゆるされる負荷2の変動範囲で任意に設定でき、上記の場合、負荷2の抵抗値が5%以上低下した場合、負荷異常と判断できる。

【0023】一方、入力信号ONの時は、制御回路21からの信号により切換え手段10はON状態となり、検出用MOSトランジスタ8及びパワーMOSトランジスタ9を駆動回路6によりONさせる。そして、上述したように検出用MOSトランジスタ8とパワーMOSトランジスタ9との面積比は1:99であるため、2つのトランジスタから負荷2に流れる電流 $I_2$ は、 $I_1$ の100倍となる。従って、 $V_{13-14}$ は $I_2 R_1$ となり、 $I_2$

$R_1$ の100倍となる。

【0024】また、制御回路21からの信号により切換えスイッチ18は基準電源17に接続しているため、比較回路19のマイナス端子に印加されている基準電源17の電圧値が出力化電流の判断の基準となる。

【0025】 $V_{13-14} < 95\% I_2 R_1$ で比較回路19が反転するので、たとえば95% $I_2 R_1$ を過電流状態としたが、これも任意に基準電圧17の値を変えることで設定できる。

【0026】ここで、負荷2がショート等の異常状態となり、 $V_{13-14}$ が95% $I_2 R_1$ 以下となった場合、比較回路19が反転し、AND回路16に「L」を入力するため、制御回路21に入力信号に依存せずに出力OFFの信号が入る。従って、切換え手段10はOFFとなり、パワーMOSトランジスタ9はOFFするため、過電流出力の状態から抜け出すことができ、出力部及び負荷2の保護が行える。なお、切換え手段10と同時に切換えスイッチ18を切換えるため、基準電圧16が切換えスイッチ18に接続され、検出用MOSトランジスタ8により負荷2に $I_1$ の電流が流れ、基準電圧16と比較する。負荷2が異常であると、比較回路19は「L」をAND回路20に出力し続けるので、入力信号に依存せず、負荷2の抵抗値が異常である限りパワーMOSトランジスタ9はOFFし続ける。ここで、負荷2が正常になり、入力信号がONのままであれば、比較回路19は「H」を出力するため、切換え手段10はONとなり、パワーMOSトランジスタ9はONに復帰する。

【0027】すなわち、負荷2の異常を検出した後は、出力電流の1/100の電流で負荷をモニタしているため、負荷異常時には出力電流を十分小さくすることができ、かつ常時モニタできるため、復帰に遅れがなくなる。

【0028】また、比較回路19のプラス側入力端子に接続される端子13の電圧の変化は、負荷2が正常である場合には、パワーMOSトランジスタ9のショート、負荷2のオープンによる故障によっても生じる。すなわち、パワーMOSトランジスタ9のOFF時、基準電圧16と出力端子13の比較を行い、負荷ショートを検出しているが、負荷2は正常であってもパワーMOSトランジスタ9にドレインーソース間にリークが生じて電流がOutput端子13より負荷2に流れでた場合も検出可能である。

【0029】なお、切換え手段10及び切り換えスイッチ18は、切換え可能な構成であればよく、スイッチに限定されるものではない。

【0030】また、検出用MOSトランジスタ8とパワーMOSトランジスタ9との面積比は1:99以外の値でもよいことはもちろんである。更に、基準電圧16、17の値も任意に設定できる。

【0031】更に、上述実施例においては、パワートラ

ンジスタとしてパワーMOSトランジスタ9を例にとり説明したが、これに限らず、図3に示すように、バイポーラトランジスタを用いても同様の効果を奏する。なお、図3中の23は出力用トランジスタ、24は検出用PNPトランジスタである。

【0032】なお、本発明による検出は、全て実際に出力端子13に接続されている負荷2に流れる電流によって発生する電圧をモニタ負荷の状態を検出しているため、誤検出をすることなく、また出力電流検出用に電力損失を伴うような素子を必要とせず、パワーMOSトランジスタ9の特性を十分に生かすことができる。

[0033]

【発明の効果】以上説明したように、本発明によれば、負荷がショートして端子電圧が低下すると、比較手段は、負荷の端子電圧と基準電圧とを比較し、比較手段の比較結果と入力信号とに基づいて制御手段は切換え手段及び基準電圧発生手段を切換え、パワートランジスタをOFFし、この際、負荷へ供給手段によりパワートランジスタの駆動電流に比べて十分小さい微弱電流を供給するように構成したので、負荷の端子電圧を切り換えられた基準電圧との比較により負荷へのショート状態からの復帰を常時モニタでき、これにより半導体素子の破壊を未然に防止することができる。

\*

\* (図面の簡単な説明)

【図1】本発明に係るパワートランジスタの保護回路を示す回路図である。

【図2】本発明に係るパワートランジスタの保護回路の負荷正常時の動作を示す図である。

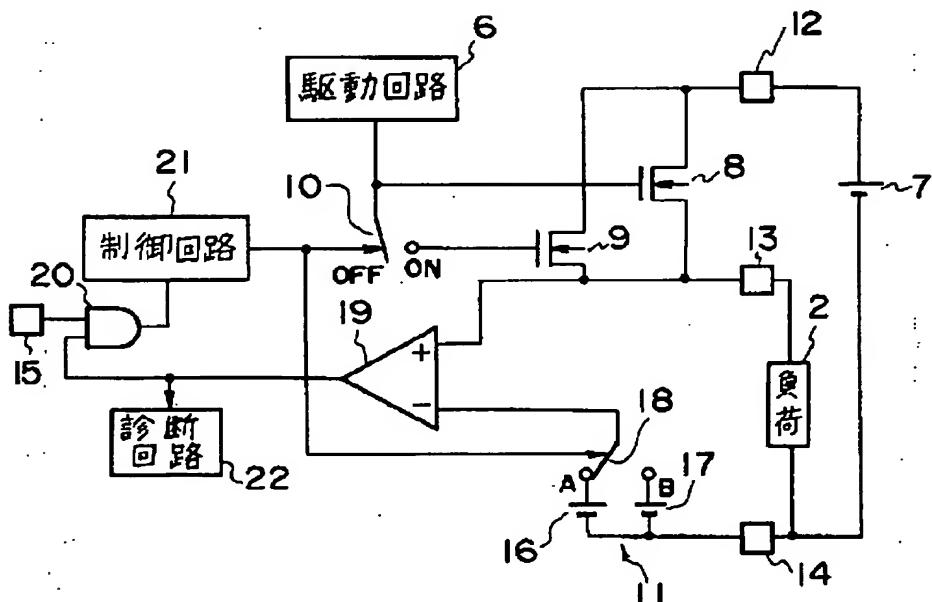
【図3】本発明の他の実施例を示す回路図である。

【図4】従来のパワートランジスタの保護回路を示す回路図である。

### 【符号の説明】

- 10 6 駆動回路
- 7 電源
- 8 検出用MOSトランジスタ
- 9 パワーMOSトランジスタ
- 10 切換え手段
- 11 基準電圧発生手段
- 12、13、14、15 端子
- 16、17 基準電圧
- 18 切換えスイッチ
- 19 比較回路
- 20 21 制御回路
- 22 出力用トランジスタ
- 23 検出用P N Pトランジスタ

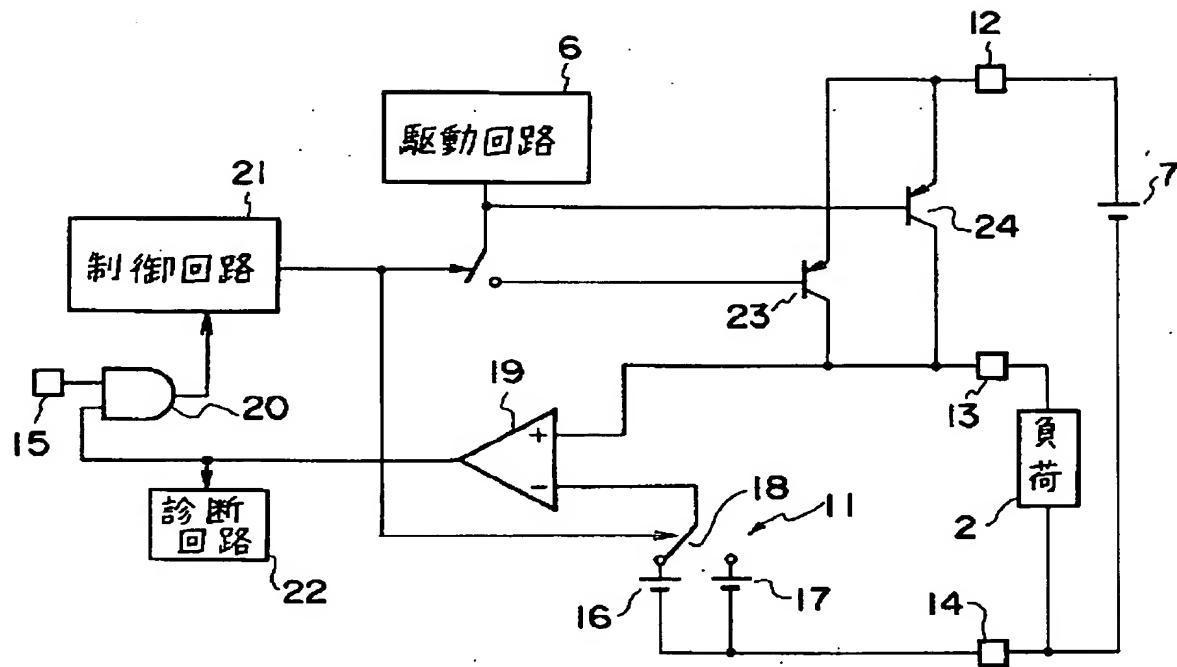
[図1]



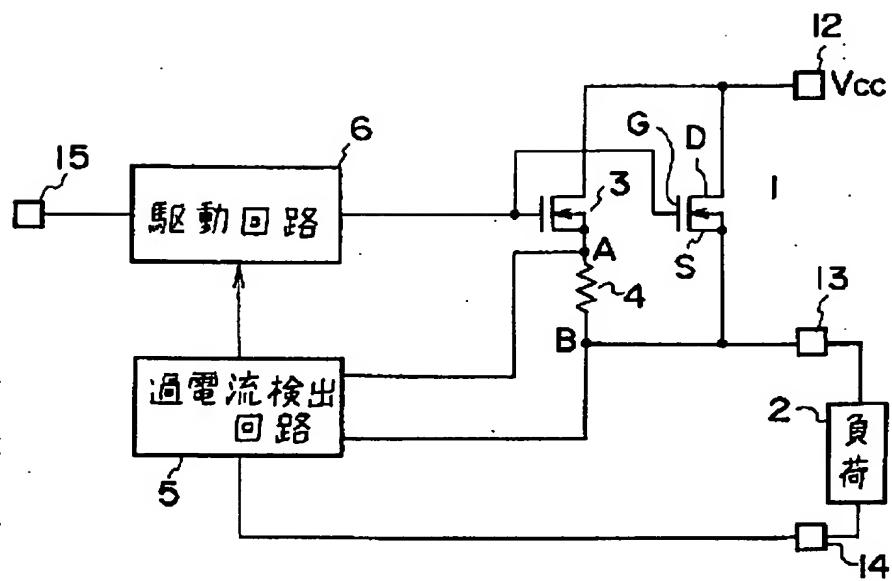
[図2]

制御信号	SW10	SW1B	出力
ON	OFF	B	ON
OFF	ON	A	OFF

[図3]



〔図4〕



フロントページの続き

(58)調査した分野(Int.Cl.) , DB名)

H03K 17/00 - 17/70

H02H 3/08 - 3/253

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-283986

(43)Date of publication of application : 07.10.1994

(51)Int.Cl. H03K 17/08  
H01L 23/58

(21)Application number : 05-067239 (71)Applicant : TOYOTA MOTOR CORP

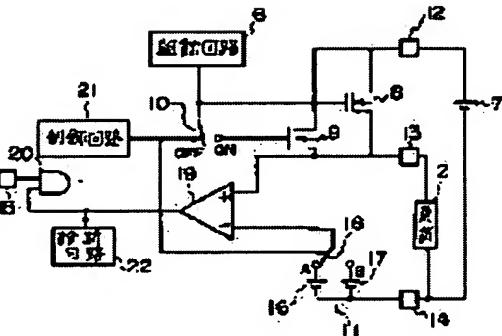
(22)Date of filing : 26.03.1993 (72)Inventor : AOKI HIROFUMI

## (54) POWER TRANSISTOR PROTECTING CIRCUIT

## (57)Abstract:

PURPOSE: To provide a protecting circuit for a power transistor(TR) which finds abnormality of a load in an output OFF state and places a protecting function in effective operation, resets itself, and prevents a semiconductor element from being destroyed.

CONSTITUTION: If V13-14 becomes below 95% I2R1 in an abnormal load state, a comparing circuit 19 inverts its output to input 'L' to an AND circuit 20, so an output-OFF signal is inputted to a control circuit 21. A switching means 10, therefore, turns OFF and a MOS TR 9 turns OFF, so a state of overcurrent output can be exited from and an output part and the load 2 can be protected.



## LEGAL STATUS

[Date of request for examination] 18.02.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3152000

[Date of registration] 26.01.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office